






## Method of making power semiconductor components

**Patent number:** EP0969501  
**Publication date:** 2000-01-05  
**Inventor:** HERZER REINHARD DR HABIL (DE);  
NETZEL MARIO DR (DE)  
**Applicant:** SEMIKRON ELEKTRONIK GMBH (DE)  
**Classification:**  
- international: **H01L21/329; H01L21/331; H01L21/332;**  
**H01L21/02;** (IPC1-7): H01L21/331;  
H01L21/329; H01L21/332  
- european: H01L21/329B5; H01L21/331G2;  
H01L21/332; H01L21/332M2  
**Application number:** EP19990112146 19990624  
**Priority number(s):** DE19981029614 19980702

**Also published as:**

 DE19829614 (A1)  
 EP0969501 (B1)

**Cited documents:**

 EP0313000  
 EP0330122  
 JP2001985

**Report a data error here**

**Abstract of EP0969501**

The barrier or buffer layer with first conductivity (15), has a greater thickness than is electrically essential. It is introduced in this form, by diffusion into the single-crystal homogeneous wafer in the base zone (13), before introducing other structures on the wafer top. Once they have been formed, the excess is ground and/or polished off.

---

Data supplied from the **esp@cenet** database - Worldwide

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 969 501 A1

(12)

## EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:  
05.01.2000 Patentblatt 2000/01

(51) Int. Cl.<sup>7</sup>: H01L 21/331, H01L 21/332,  
H01L 21/329

(21) Anmeldenummer: 99112146.8

(22) Anmeldetag: 24.06.1999

(84) Benannte Vertragsstaaten:  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE  
Benannte Erstreckungsstaaten:  
AL LT LV MK RO SI

(30) Priorität: 02.07.1998 DE 19829614

(71) Anmelder:  
Semikron Elektronik GmbH  
D-90253 Nürnberg (DE)

(72) Erfinder:  
• Herzer, Reinhard, Dr. habil.  
98693 Ilmenau (DE)  
• Netzel, Mario, Dr.  
0642 Branunsbedra (DE)

### (54) Verfahren zur Herstellung von Leistungshalbleiterbauelementen

(57) Es wird ein Verfahren zur Herstellung von Leistungshalbleiterbauelementen mit mindestens einem eine hohe Spannung sperrenden pn-Übergang auf der Grundlage eines Punch-Through-Typs aufgezeigt, in dem an einer Basiszone (13) eine Stoppschicht mit einer größeren Dicke (15) als elektrisch erforderlich erzeugt und nachfolgend nach den Vorderseitenprozessen diese größere Dicke durch Abschleifen und/oder Polieren wieder verringert wird.

Die Aufgabe, ein geeignetes Verfahren zur technologisch und wirtschaftlich vorteilhaften Herstellung von hochsperrenden Leistungshalbleiterbauelementen, wie z.B. IGBT, GTO, MCT oder Dioden mit einer geringen Chipdicke bei großen Scheibendurchmessern zu finden, wird somit gelöst.

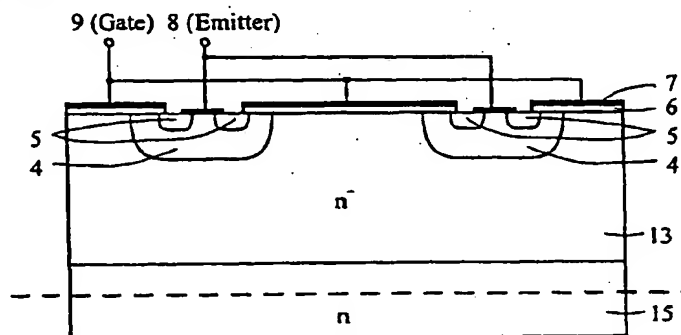


Fig. 4

EP 0 969 501 A1

## Beschreibung

[0001] Die Erfindung beschreibt ein Verfahren zur Herstellung von Leistungshalbleiterbauelementen auf der Basis eines PT (Punch- Through)- Typs, insbesondere gibt es Methoden der Realisierung von vertikalen Strukturen von Leistungshalbleiterbauelementen nach den Merkmalen des Oberbegriffes des Anspruchs 1 an. Vertikale Strukturen zur Bildung von Leistungshalbleiterbauelementen sind aus der Literatur des Standes der Technik mehrfach bekannt.

[0002] Solche Bauelemente werden als IGBT in EP 0 405 138 A2, als GTO US 4,910,573, als MCT in einem Artikel „Evolution of MOS- Bipolar Power Semiconductor Technology“ (B. J. Baliga in Proceedings of the IEEE, Vol. 76, No. 4, April 1988) und als Diode in einem Artikel „Axial Recombination Center Technology for Freewheeling Diodes“ (J. Lutz in Proceedings EPE, Sept. 1997, S. 1502-1506) ausgeführt.

[0003] Leistungshalbleiterbauelemente können im elektrischen Sinne mit einem Punch- Through- oder Non-Punch-Through-Konzept realisiert werden. Bei einem Non-Punch-Through-Konzept nach EP 0 330 122 A1 dehnt sich die Raumladungszone des sperrenden Übergangs bei der maximal möglichen Blockierspannung nicht über die gesamte Weite der niedrig dotierten Basiszone aus.

[0004] Im Falle eines PT- Konzepts, wie in EP 0 405 138 A2 beschrieben, würde die Weite der Raumladungszone bei maximaler Blockierspannung größer als die Weite der niedrig dotierten Basiszone sein. Hier muß an das Ende der Basiszone, welches der Sperrschicht abgewandt ist, ein Gebiet mit gleicher Leitfähigkeit, aber höherer Dotierung eingebracht werden. Dieses Gebiet wird im Sprachgebrauch als Stoppschicht oder Buffer bezeichnet und begrenzt die Ausdehnung der Raumladungszone.

[0005] Dieser grundlegende Sachverhalt gilt für alle Leistungsbauelemente mit mindestens einem eine hohe Spannung sperrenden Übergang wie sie z.B. in Form von IGBT, MCT, GTO, Thyristoren, Dioden etc. gebildet werden können. Nachfolgend wird der Stand der Technik sowie die erfinderische Idee anhand eines n- Kanal- IGBT beschrieben. Diese erfinderische Idee ist jedoch auf beliebige Leistungshalbleiterbauelemente mit mindestens einem sperrenden Übergang und einer Stoppschicht übertragbar.

[0006] Entsprechend eben geschildertem Sachverhalt wird in Punch- Through- IGBT (PT- IGBT) oder Non-Punch- Through- IGBT (NPT- IGBT) unterschieden. Dabei wurde in der Vergangenheit häufig bei PT- IGBT die Verwendung von Epitaxiewafern, bei NPT- IGBT die Verwendung von homogenem Wafermaterial (Bulk-Material) impliziert.

[0007] DE 43 13 170 A1 beschreibt PT- Strukturen, insbesondere einen PT- IGBT, und gibt Wege zur Ausführung eines solchen Leistungshalbleiterbauelementes an. Zur Verringerung der Dicke des

Halbleitersubstrates wird eine Stoppschicht verwendet. In Verbindung mit einem transparenten Rückseiten-Emitter werden kurze Tailströme und geringe Abschaltverluste erzielt. Stoppschicht und Rückseitenemitter werden durch Diffusion erzeugt. Vorteilhaft minimierte n<sup>-</sup>- Basiszonen können nur für hochsperrende Bauelemente (Sperrfähigkeit größer als 4.500 Volt) erreicht werden, bei denen die entsprechenden Waferdicken von > 400 µm prozeßtauglich sind. Für Sperrspannungen von 2.500 Volt bis 3.500 Volt ergeben sich bei PT- Auslegung der n<sup>-</sup>-Basiszone Waferdicken deutlich unter 400 µm. Hier sind alternativer Herstellungsverfahren notwendig.

[0008] Die vorliegende Erfindung stellt ein Verfahren vor, bei dem PT- Typen mit dünnen n<sup>-</sup>- Basiszonen (im Bulk- Material) auf prozeßtauglichen Wafern mit Dicken von größer oder gleich 400 µm hergestellt werden können.

[0009] Die Erläuterungen erfolgen auf der Grundlage der Figuren 1 bis 5:

Fig. 1 zeigt den Stand der Technik in Form eines nicht maßstabsgerechten Querschnittes eines n- Kanal- PT- IGBT im Ausschnitt auf der Basis von Epitaxiematerial.

Fig. 2 skizziert analog zu Fig. 1 einen NPT- IGBT nach dem Stand der Technik auf der Grundlage von homogenem Grundmaterial.

Fig. 3 skizziert einen Ausschnitt eines Waferquerschnittes nach dem technologischen Vorprozeß des Ausgangsmaterials auf der Grundlage der erfinderische Lösung.

Fig. 4 skizziert einen Hochspannungs- PT- IGBT auf der Basis der Vordiffusion nach Fig. 3.

Fig. 5 stellt einen Ausschnitt des rückseitig fertiggestellten Wafers nach Fig. 4 dar.

[0010] Fig. 1 zeigt den Stand der Technik in Form eines nicht maßstabsgerechten Querschnittes eines n- Kanal- PT- IGBT im Ausschnitt auf der Basis von Epitaxiematerial. Für einen n- Kanal- PTIGBT auf der Basis von Epitaxiematerial müssen nach dem Stand der Technik zwei Schichten auf einem p<sup>+</sup>- Substratmaterial (1) abgeschieden werden. Dabei wird mit einer mittel- bis hochdotierten n<sup>+</sup>- Schicht (2) begonnen, die die Stoppschicht bildet. Darauf wird als Driftzone eine n<sup>-</sup>- Schicht (3) epitaktisch aufgebracht. Die notwendige Dicke der n<sup>-</sup>- Schicht (3) hängt von dem zu erreichenden Sperrvermögen ab. Für die Sperrspannungsklasse 600 V sind beispielsweise ca. 50 µm, für 1200 Volt sind ca. 100 µm erforderlich.

[0011] Die weitere Herstellung des IGBT erfolgt in gleicher Weise analog dem Stand der Technik. Dabei bilden das p- Gebiet (4) den DMOS- Kanal (bzw. die

Basis des npn- Transistors) und das n-Gebiet (5) den Emitter mit ihrer gemeinsamen Kontaktschicht (8).

[0012] Die Oxidschicht (6) und die Polysilizium-Schicht (7) bilden das Gate mit deren Kontaktelektrode (9) des Gesambauelementes. Der Kollektor (10) befindet sich an der Rückseite des Wafers.

[0013] Fig. 2 skizziert analog zu Fig. 1 einen NPT-IGBT nach dem Stand der Technik auf der Grundlage von homogenem Grundmaterial. Wird zur Herstellung des IGBT ein n<sup>-</sup>- Bulk- Material (11) verwendet, muß der physikalische p- Emitter (12) von der Rückseite eingebracht werden, der gleichzeitig den Kollektor (10) des Gesambauelementes bildet. Zur Realisierung eines solchen NPT- Konzeptes wird nach dem Stand der Technik der gesamte Wafer nach vollständig erfolgter Strukturierung der Oberseite abgedünnt und von der Rückseite die p- Schicht implantiert.

[0014] Für 600 V wird die Basiszone (11) beispielsweise auf >100 µm und für 1200 V auf >170 µm abgedünnt. Die erforderliche Aktivierung des Emitters muß bei Temperaturen unter 450 °C erfolgen, da sonst die Metallisierung auf der Oberseite geschädigt oder gar zerstört wird.

[0015] Für Spannungen von <=600 V (220V- Netz, consumer electronic) werden in großem Umfang PT-IGBT auf der Basis von Epitaxiematerial eingesetzt. Für Sperrspannungen von etwa 1000 bis 1700 Volt (industrielle Anwendungen im Drehstromnetz) kommen im wesentlichen NPT- IGBT auf der Basis von homogenem Material zum Einsatz. IGBT werden in jüngster Zeit auch für Traktionsanwendungen und Hochspannungsnetze entwickelt und eingesetzt. Das hier erforderliche Sperrvermögen erstreckt sich gegenwärtig von 2400 Volt bis etwa 5000 Volt. Für solche Sperrfähigkeiten gibt es sowohl PT- als auch NPT- IGBT- Technologien zur Herstellung leistungsfähiger Halbleiterbauelemente.

[0016] Bei solchen Hochspannungs- NPT- IGBT muß entsprechend dem gewünschten Sperrvermögen eine große Waferdicke in Kaufgenommen werden. Diese beträgt beispielsweise für die Spannungs-kategorie 3500 Volt etwa 500 µm. Die große Waferdicke führt zu vergleichsweise großen Flußspannungen und entsprechend großen Einschaltverlusten. Der Artikel „Progress in development of the 3,5 kV high voltage IGBT/Diode chipset and 1200A module application“, von H. Brunner, Proceedings ISPSD, 1997, S. 225-228, zeigt diese Problematik.

[0017] Die Verwendung eines PT- Konzeptes führt für Hochspannungs- IGBT zu deutlich kleineren Flußspannungen, in der die Weite der n<sup>-</sup>- Zone sich erheblich verringert. Für die Spannungs-kategorie 3500 Volt sind beispielsweise ca. 280 µm Weite ausreichend.

[0018] Eine Herstellung von Hochspannungs- PT-IGBT mittels Wafers mit Epitaxieschichten scheidet in einer praktikablen Technologie aus, da die erforderlichen Schichtdicken von größer 200 µm nicht sinnvoll abzuschneiden sind und die Anforderungen an Defektdichte und Dotierungshomogenität für hohe Sperrspan-

nungen nicht erreicht werden. Daher wird ausschließlich homogenes Material eingesetzt, wobei nach dem Stand der Technik die erforderliche Stoppschicht zu Prozeßbeginn von der Rückseite eindiffundiert oder epitaktisch abgeschieden oder in einem Waferbondprozeß angebondet wird. Das Einbringen und die Ausdiffusion der Stoppschicht am Ende des Prozesses nach erfolgter Vorderseitenstrukturierung ist nicht möglich, da auch hier die Metallisierung auf der Vorderseite thermisch zerstört würde.

[0019] Das Problem der Realisierung von PT- IGBT für hohe Spannungen auf der Basis von homogenem Material ergibt sich aus fertigungstechnischen Aspekten. Die Waferdicken liegen nur geringfügig höher als die Dicke der n<sup>-</sup>- Basiszone, d.h. für 2500 Volt- Bauelemente ca. 200 µm und für Halbleiterbauelemente mit Sperrspannungen von 3500 Volt ca. 280 µm. Das bedeutet, daß über den gesamten Fertigungsprozeß Waferdicken von 200-300 µm vorliegen.

[0020] Übliche Herstellungsanlagen für Halbleiterbauelemente sind jedoch für Waferdicken von > 400 µm ausgelegt und so müßten diese für entsprechende Leistungsbau-elemente mit hochsperrenden Eigenschaften kostenaufwendig komplett umgerüstet werden.

[0021] Weiterhin ist zu berücksichtigen, daß die Waferbruchrate ansteigt und mit sinkender Dicke die Waferdurchbiegung zunimmt, was z.B. bei der Photolithografie zu Problemen führt. Letzteres gilt in verschärftem Maße für die in Zukunft zu erwartenden größeren Waferdurchmessern von 6 bis 8 Zoll oder noch größere Wafer.

[0022] Die Aufgabe dieser Erfindung besteht darin, ein geeignetes Verfahren zur technologisch und wirtschaftlich vorteilhaften Herstellung von hochsperrenden Leistungshalbleiterbauelementen mit einer geringen n<sup>-</sup>-Basiszone bei großen Scheibendurchmessern praktikierbar zu gestalten.

[0023] Die Aufgabe dieser Erfindung wird durch die Maßnahmen des kennzeichnenden Teiles des Anspruchs 1 gelöst, vorteilhafte Ausführungsvarianten sind in den nachgeordneten Ansprüchen gekennzeichnet.

[0024] Fig. 3 skizziert einen Ausschnitt eines Waferquerschnittes nach dem technologischen Vorprozeß des Ausgangsmaterials auf der Grundlage der erfindungsgemäßen Lösung. Zunächst wird in den homogen n<sup>-</sup>- dotierten Si- Wafer (13) eine beidseitige tiefe n- Diffusion (14, 15) eingebracht. Die Eindringtiefe dieser n- Dotierung liegt dabei höher als es für die elektrische Wirkungsweise der Stoppschicht erforderlich wäre. Praktisch noch gut zu realisierende Eindringtiefen liegen z. B. bei ca. 150 µm. Prinzipiell wäre auch eine einseitige Diffusion ausreichend, sie scheitert aber praktisch an der Maskierung der nicht zu dotierenden Seite.

[0025] Nach der beidseitigen Tiefendiffusion wird die n- Dotierung (14) auf der Waferoberseite mittels Abschleifen vollständig entfernt und der Wafer anschließend poliert, angedeutet durch die gestrichelte Linie in der n<sup>-</sup>- Schicht (13). Weiterhin wird die Waferrückseite

zur Verhinderung von Autodoping versiegelt. Die Waferdicke liegt nunmehr in einem für die Fertigung beherrschbaren Bereich, z.B. für Sperrspannungen von 3500 Volt bei ca. 430 µm und für Sperrspannungen von 2500 Volt bei ca. 350 µm.

[0026] Fig. 4 skizziert einen Hochspannungs- PT-IGBT auf der Basis der Vordiffusion nach Fig. 3. Nach dem Polierprozeß durchläuft der Wafer den üblichen Prozeß zur Herstellung der IGBT-Zellstruktur auf der Vorderseite. Dabei sind alle nur denkbaren Zellformen und -arten möglich, wie sie nach dem Stand der Technik beschrieben sind.

[0027] Das p- Gebiet (4) bildet dabei den DMOS-Kanal des IGBT bzw. die Basis eines npn- Transistors, das n<sup>+</sup>- Gebiet (5) bildet den Emitter, die Oxidschicht (6) und die Polysilizium- Schicht (7) das Gate des Gesamtbauelements bei IGBT- Aufbauten.

[0028] Nach Abschluß der vollständigen Prozeßfolge zur Realisierung der Vorderseite (Zellstruktur) wird der Wafer von der Rückseite abgeschliffen, markiert durch die gestrichelte Linie in der n-Dotierungsschicht (15). Dabei verbleibt von der eingebrachten n- Dotierung (15) mindestens eine solche vertikale Ausdehnung als Reserve, die einen Punch- Through- Durchbruch verhindert. Für eine Diffusionstiefe der Stoppschicht beispielsweise von 150 µm kann eine Reduzierung auf ca. 25µm erfolgen (Punch- Through- Reserve). Durch diesen erfindungsgemäßen Prozeßablauf stehen für den Herstellungsablauf der IGBT- Zellen im Beispiel ca. 125 µm mehr Scheibendicke gegenüber dem Stand der Technik zur Verfügung.

[0029] Fig. 5 stellt einen Ausschnitt des rückseitig fertiggestellten Wafers dar. Anschließend an das Abschleifen der Rückseite des Wafers wird der p- Rückseitenemitter (12) von der Rückseite aus implantiert und aktiviert. Die übrige skizzierte Konfiguration ist unter Fig. 4 beschrieben. Das Verfahren der Ausbildung des Kollektors entspricht dem Stand der Technik, das bisher hauptsächlich für NPT- IGBT zur Erzeugung des Rückseitenemitters angewendet wurde.

[0030] Auch hier muß die Aktivierung des Emitters bei Temperaturen unter 450 °C erfolgen, da sonst die Metallisierung auf der Oberseite geschädigt oder gar zerstört wird. Der Kollektor (10) befindet sich an der Rückseite des Wafers.

[0031] Durch die erfinderische Idee ist die Dotierung der Stoppschicht relativ niedrig (Ausläufer des Diffusionsgebietes), so daß über die Dotierung des Rückseitenemitters der Emitterwirkungsgrad und die Ladungsträgerverteilung in der n- Basiszone in weiten Bereichen eingestellt werden kann. Ein niedriger Dotierungsgradient zwischen Stoppschicht und Rückseitenemitter läßt die Flußspannung ansteigen, während die Schaltverluste und Sättigungsströme sinken, bei einem höheren Gradienten fällt die Flußspannung während die Schaltverluste und Sättigungsströme wachsen.

[0032] Alternativ zur Aktivierung des p- Emitters ist auch der Einsatz von RTP/RTA- Verfahren möglich

(Rapid Thermal Processing/ Rapid Thermal Annealing: Prozesse zur extrem kurzzeitigen lokalen Erwärmung (u.U. bis zur Aufschmelzung) des Halbleitersmaterials, bei dem kaum eine Diffusion und eine hohe Aktivierung der Dotanden stattfindet), wodurch eine gesteigerte Aktivierung der Dotanden und damit eine geringere Flußspannung erreicht wird. Auch kann die Erzeugung des p-Emitters durch eine Epitaxieschicht- Abscheidung bei Temperaturen unter 450°C erfolgen.

[0033] Weiterhin ist auch eine Kombination der hier beschriebenen erfinderischen Idee mit der Vorgehensweise entsprechend dem Stand der Technik möglich. Beispielsweise kann bis zur Abscheidung und Strukturierung des Aluminiums der Oberseite (Emitter) der Wafer mit der noch nicht in der Dicke reduzierten Stoppschicht verwendet werden. Unmittelbar vor der Abscheidung und Strukturierung des Aluminiums der Oberseite wird die Stoppschicht in ihrer Dicke verringert und der Emitter von der Rückseite implantiert sowie aktiviert.

[0034] Vorteilhaft kann hier eine deutlich höhere Aktivierungstemperatur als 450°C gewählt werden, da keine Metallisierungsschichten thermisch geschädigt werden können. Ein Umrüsten für dünne Wafer ist nur für diejenigen Anlagen nötig, die für die Erzeugung und Strukturierung der Al-Metallisierung sowie für die nachfolgenden Passivierungsschichten erforderlich sind.

#### Patentansprüche

1. Verfahren zur Herstellung von Leistungshalbleiterbauelementen mit mindestens einem eine hohe Spannung sperrenden pn- Übergang, mit PT (Punch- Through)- Wirkprinzips, auf der Grundlage eines kristallographisch homogenen Wafers mit einer ersten Leitfähigkeit, einer niedrigen n- Dotierung als Basiszone (13), einer höher dotierten Stoppschicht der ersten Leitfähigkeit (15) auf der späteren Chipkontaktseite, der Waferunterseite, sowie strukturierten Diffusionsgebieten der zweiten Leitfähigkeit (4) auf der Chipaufbauseite, der Waferoberseite, dadurch gekennzeichnet, daß

die Stoppschicht der ersten Leitfähigkeit (15) mit einer größeren Dicke als elektrisch erforderlich in den einkristallinen homogenen Wafer in die Basiszone (13) durch Diffusion vor dem Aufbau der Strukturen auf der Waferoberseite eingebracht und nach der Ausbildung aller Strukturen auf der Waferoberseite diese größere Dicke durch Abschleifen und/oder Polieren wieder verringert wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß

von der eingebrachten n- Dotierung (15) der Stoppschicht nach dem Abschleifen und/oder

Polieren mindestens eine solche vertikale Ausdehnung als Reserve verbleibt, die einen Punch-Through- Durchbruch verhindert (Punch- Through- Reserve).

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß

nach der Verringerung der Dicke der Stoppschicht ein Emitter (12) mit einer zweiten Leitfähigkeit auf der Rückseite des Wafers realisiert wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß

der Rückseiten- Emitter (12) der zweiten Leitfähigkeit mittels Implantation und Niedertemperatur- Ausheilung oder Niedertemperatur- Epitaxie hergestellt wird.

5. Verfahren nach Ansprüchen 3 oder 4, dadurch gekennzeichnet, daß

nach dem Einbringen des Emitterdotanden (12) auf der Rückseite eine Aktivierung durch RTP/RTA-Verfahren erfolgt.

5

10

15

20

25

30

35

40

45

50

55

5

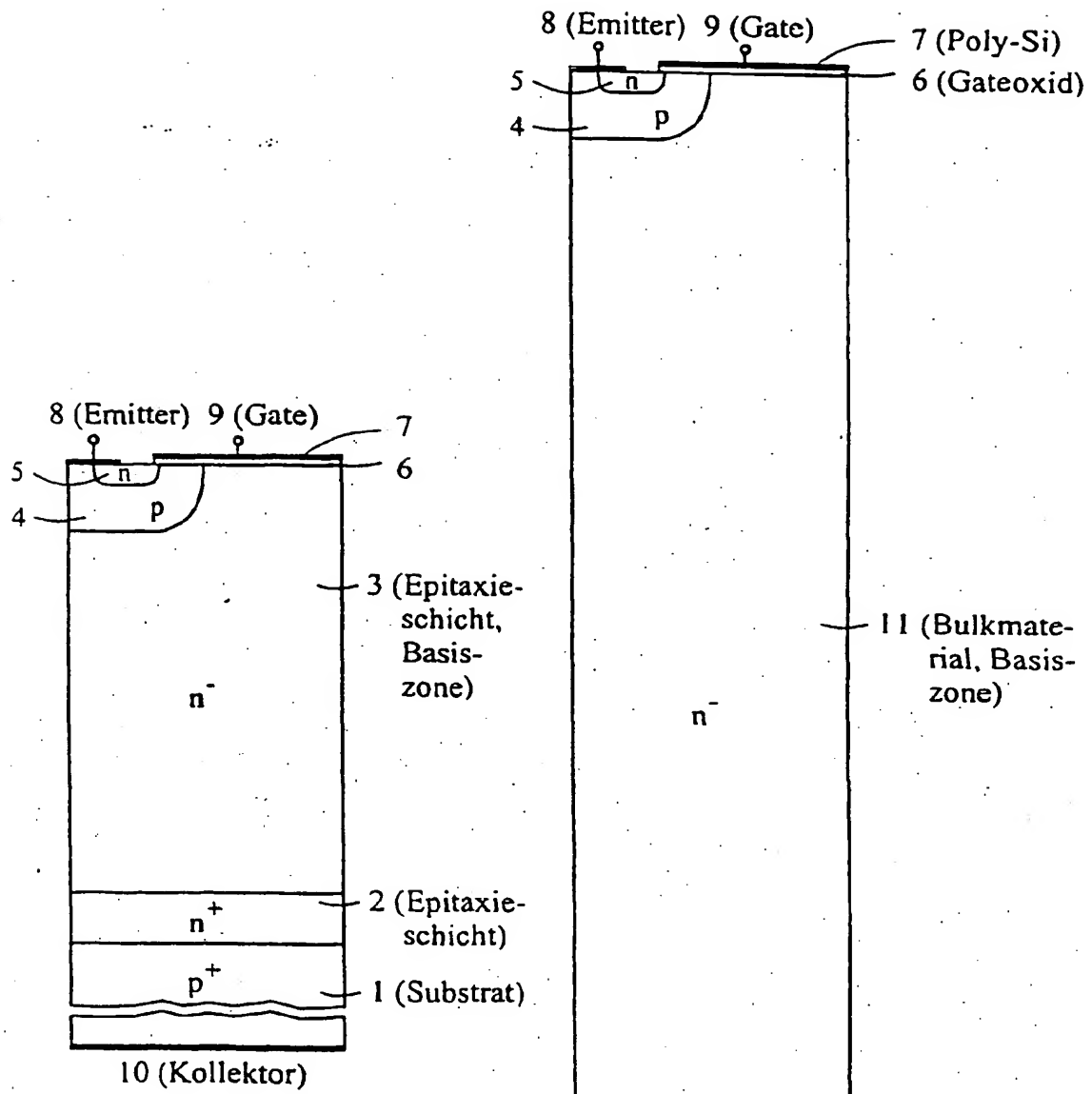


Fig. 1

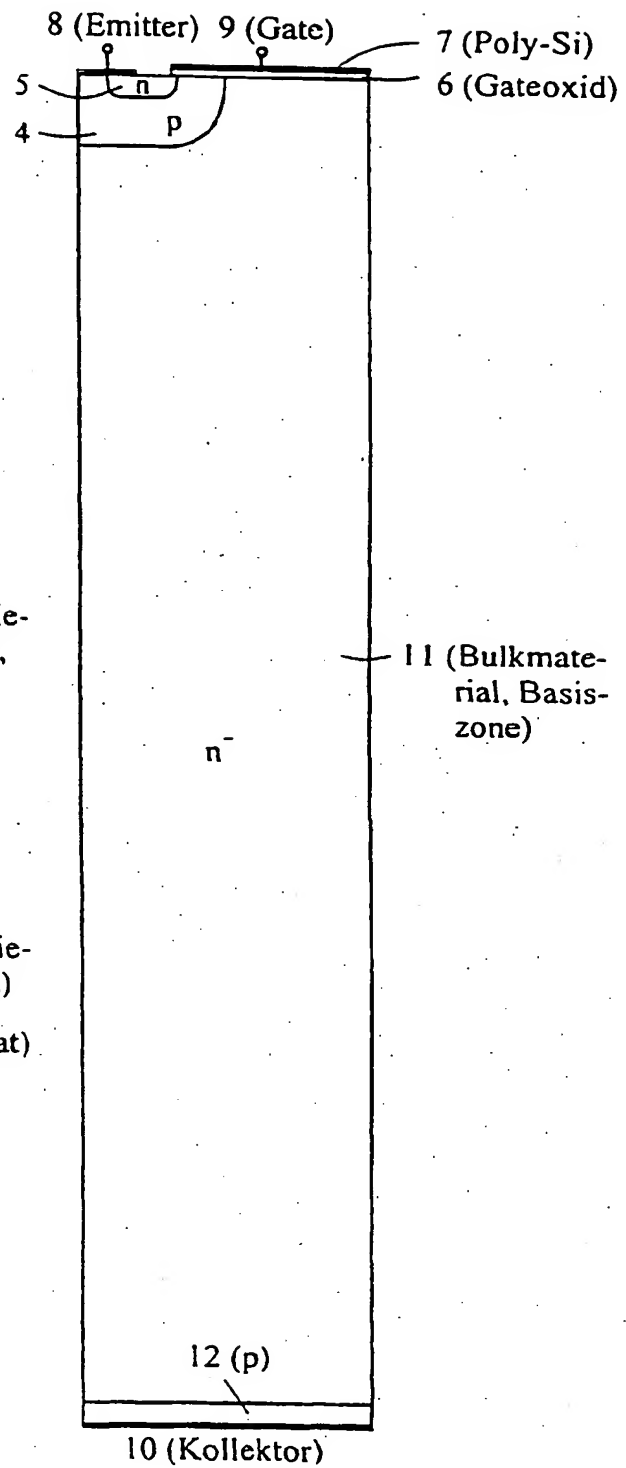


Fig. 2

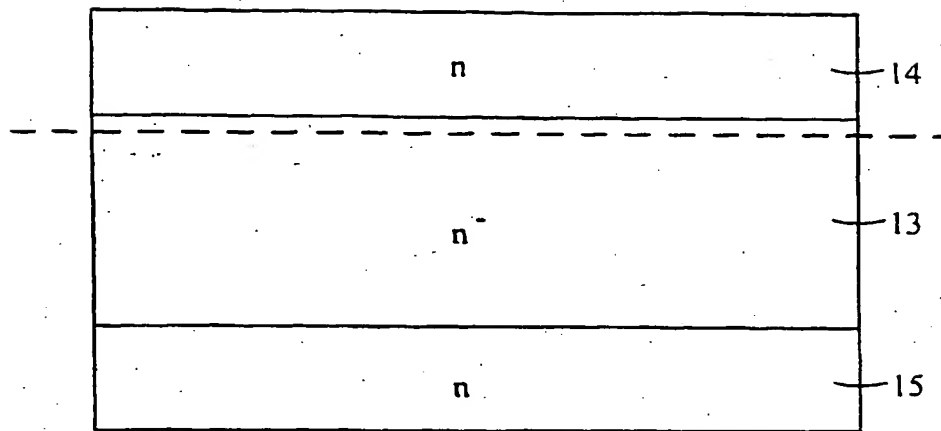


Fig. 3

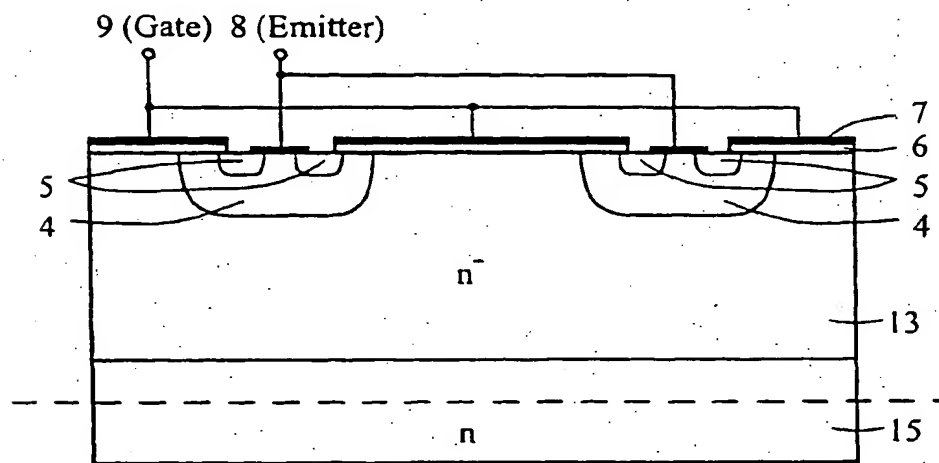


Fig. 4

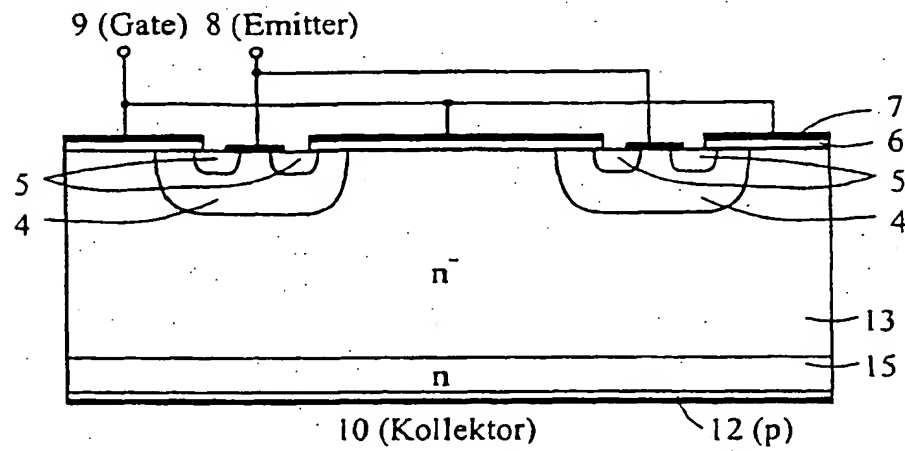


Fig. 5





Europäisches  
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung  
EP 99 11 2146

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
Y	PATENT ABSTRACTS OF JAPAN vol. 014, no. 133 (E-0902), 13. März 1990 (1990-03-13) & JP 02 001985 A (MITSUBISHI ELECTRIC CORP), 8. Januar 1990 (1990-01-08) * Zusammenfassung; Abbildungen 1,6 *	1-5	H01L21/331 H01L21/332 H01L21/329
Y	EP 0 313 000 A (SIEMENS AG) 26. April 1989 (1989-04-26) * Seite 3, Zeile 25 - Zeile 43; Abbildung 1 *	1-5	
D,Y	EP 0 330 122 A (SIEMENS AG) 30. August 1989 (1989-08-30) * Spalte 3, Zeile 20 - Zeile 32; Abbildung 1 *	5	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
			H01L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort MÜNCHEN		Abschlußdatum der Recherche 12. Oktober 1999	Prüfer Morvan, D
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur			

EPO FORM 1503 03 82 (P4C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT  
ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 99 11 2146

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.  
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

12-10-1999

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 02001985 A	08-01-1990	JP 7024312 B	15-03-1995
EP 0313000 A	26-04-1989	DE 3856173 D	10-06-1998
		JP 1129463 A	22-05-1989
		JP 2810067 B	15-10-1998
		US 5132766 A	21-07-1992
EP 0330122 A	30-08-1989	DE 58909474 D	30-11-1995
		JP 1922726 C	07-04-1995
		JP 2007569 A	11-01-1990
		JP 6048729 B	22-06-1994
		US 4893165 A	09-01-1990

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82